

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-115998

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 21/76
H01L 21/8222
H01L 27/06
H01L 21/8249
H01L 21/331
H01L 29/73

(21)Application number : 07-267013

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.10.1995

(72)Inventor : ISHIMARU KAZUNARI

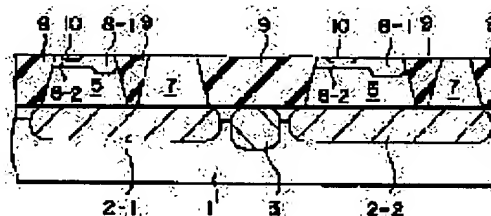
(54) ELEMENT SEPARATION STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND ELEMENT SEPARATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a structure which satisfies both requirements of reduction of a separation distance between transistor elements and reduction of a capacitance between a collector and a substrate.

SOLUTION: N+ type regions 2-1 and 2-2 to be formed eventually as embedded collector regions of bipolar transistors TR1 and TR2 are on a P type semiconductor substrate 1.

Formed between the N+ type regions 2-1 and 2-2 is a P type region 3 for element separation therebetween without contact therewith. Areas of the N+ type regions 2-1 and 2-2 contacted at their bottom and side faces with the semiconductor substrate 1 are formed to have an impurity density that is the same as that of the substrate 1. An insulating film 9 located on the P type region 3 and therearound is contacted with the P type region 3 to insulatingly separate the bipolar transistors TR1 and TR2 as an element separating layer.



LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-115998

(43) 公開日 平成9年(1997)5月2日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 | |
|---------------------------|---------|--------|---------|---------|---|
| H 0 1 L | 21/76 | | H 0 1 L | 21/76 | S |
| | 21/8222 | | | | M |
| | 27/06 | | | | L |
| | 21/8249 | | 27/06 | 1 0 1 U | |
| | 21/331 | | | 3 2 1 C | |

審査請求 未請求 請求項の数10 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平7-267013

(22) 出願日 平成7年(1995)10月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石丸 一成

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

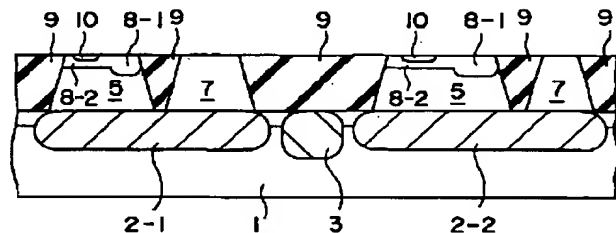
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路の素子分離構造及び素子分離方法

(57) 【要約】

【課題】 トランジスタ素子の分離距離の縮小とコレクタ／基板間容量の低減を同時に満たす構成を得る。

【解決手段】 P型半導体基板1上にバイポーラトランジスタTR1, TR2の埋め込みコレクタ領域となるN⁺型領域2-1, 2-2がそれぞれ形成されている。これらN⁺型領域2-1と2-2の間の素子分離用のP型領域3は、N⁺型領域2-1, 2-2に接触することなく設けられており、N⁺型領域2-1, 2-2の底面及び側面で接するP型の不純物濃度が半導体基板1の不純物濃度と同じになるように形成されている。P型領域3上部周辺の絶縁膜9は素子分離層としてP型領域3に接触し、バイポーラトランジスタTR1, TR2の両方を絶縁分離している。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上において選択的に形成された素子領域に各対応する少なくとも 2 つの第 2 導電型の埋め込み不純物領域と、前記埋め込み不純物領域間においてこれら埋め込み不純物領域に接触することなく設けられた素子分離用としての前記半導体基板より高濃度の第 1 導電型の埋め込み不純物領域と、少なくとも前記第 2 導電型の埋め込み不純物領域を含んで前記半導体基板上に形成された前記第 2 導電型の埋め込み不純物領域の濃度より低い不純物濃度の第 2 導電型のエピタキシャル層と、前記エピタキシャル層と同じ層に含まれた前記第 1 導電型の埋め込み不純物領域上の素子分離層とを具備したことを特徴とする半導体集積回路の素子分離構造。

【請求項 2】 前記素子分離層は前記第 1 導電型の埋め込み不純物領域と接触した前記エピタキシャル層中に形成されておりこのエピタキシャル層より高濃度に第 1 導電型の不純物が導入されていることを特徴とする請求項 1 記載の半導体集積回路の素子分離構造。

【請求項 3】 前記素子分離層は前記第 1 導電型の埋め込み不純物領域と接触して前記エピタキシャル層間に設けられた絶縁膜で構成されることを特徴とする請求項 1 記載の半導体集積回路の素子分離構造。

【請求項 4】 第 1 導電型の半導体基板上において素子領域に各対応する少なくとも 2 つの第 2 導電型の埋め込み不純物領域を選択的に形成する工程と、前記第 2 導電型の不純物濃度より低い不純物濃度の第 2 導電型のエピタキシャル層を前記第 2 導電型の埋め込み不純物領域を含んで前記半導体基板上に成長する工程と、

前記第 2 導電型の埋め込み不純物領域どうしを電氣的に分離するために、前記エピタキシャル層の対応する表面からイオン注入法により前記基板中に前記半導体基板の不純物濃度より高い不純物濃度の第 1 導電型の埋め込み不純物領域を前記第 2 導電型の埋め込み不純物領域と離間して形成する工程と、

前記第 2 導電型の埋め込み不純物領域上の前記素子領域間の分離工程とを具備し、

前記第 1 導電型の埋め込み不純物領域は、製造工程終了までに必要な熱工程を経た後でも、前記第 2 導電型の埋め込み不純物領域の底面及び側面で接する第 1 導電型の不純物濃度が前記半導体基板の不純物濃度と同じであるように形成することを特徴とする半導体集積回路の素子分離方法。

【請求項 5】 前記第 2 導電型の埋め込み不純物領域の形成は、前記エピタキシャル成長層を一部エッチング除去してから前記イオン注入法が施されることにより達成されることを特徴とする請求項 4 記載の半導体集積回路の素子分離方法。

【請求項 6】 前記分離工程は選択酸化法を用い、かつ前記エピタキシャル層中に前記第 1 導電型の埋め込み不純物領域と接触するように第 1 導電型の素子分離層を形成することにより達成されることを特徴とする請求項 4 記載の半導体集積回路の素子分離方法。

【請求項 7】 前記分離工程は前記エピタキシャル成長層を一部エッチング除去した箇所において前記第 1 導電型の埋め込み不純物領域に接触した絶縁膜を素子分離層として形成することにより達成されることを特徴とする請求項 5 記載の半導体集積回路の素子分離方法。

【請求項 8】 第 1 導電型の半導体基板上に第 2 導電型のエピタキシャル層を成長させる工程と、

前記エピタキシャル層上からイオン注入法によって前記半導体基板の表面領域に、素子領域に各対応する少なくとも 2 つの第 2 導電型の埋め込み不純物領域及びこの埋め込み不純物領域間を分離する第 1 導電型の埋め込み不純物領域を互いに離間して形成する工程と、

前記第 2 導電型の埋め込み不純物領域上の前記素子領域間の分離工程とを具備し、

前記第 1 導電型の埋め込み不純物領域は、製造工程終了までに必要な熱工程を経た後でも、前記第 2 導電型の埋め込み不純物領域の底面及び側面で接する第 1 導電型の不純物濃度が前記半導体基板の不純物濃度と同じであるように形成することを特徴とする半導体集積回路の素子分離方法。

【請求項 9】 前記分離工程は選択酸化法を用い、かつ前記エピタキシャル層中に前記第 1 導電型の埋め込み不純物領域と接触するように第 1 導電型の素子分離層を形成することにより達成されることを特徴とする請求項 8 記載の半導体集積回路の素子分離方法。

【請求項 10】 前記分離工程は前記エピタキシャル成長層を一部エッチング除去した箇所において前記第 1 導電型の埋め込み不純物領域に接触した絶縁膜を素子分離層として形成することにより達成されることを特徴とする請求項 8 記載の半導体集積回路の素子分離方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は特に半導体基板上の複数の素子領域間の分離領域の形成に適用される半導体集積回路の素子分離構造及びその製造方法半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来、バイポーラトランジスタが組み込まれる集積回路を形成する場合、動作上バイポーラトランジスタどうしを電氣的に分離する必要がある。このため、バイポーラトランジスタのコレクタ領域と反対導電型の不純物領域でバイポーラトランジスタを囲んでいる。以下に NPN トランジスタの場合の素子分離領域の形成方法を図面を用いて説明する。

【0003】 まず、図 13 に示すように、P 型シリコン

基板1上にバイポーラトランジスタの埋め込みコレクタ領域となる部分に高濃度のN型の不純物が導入されるN⁺型領域2を形成する。これは一般的にAs(ヒソ)やSb(アンチモン)の固相拡散により形成される。次に、N⁺型領域2の間の領域にレジスト4によって距離L1を持つ開口部を形成し、イオン注入法を用いてバイポーラトランジスタを分離するためのP型領域3を選択的に形成する。

【0004】この後、図14に示すように、エピタキシャル成長を行い、N型のエピタキシャル層5を形成する。次に、図15に示すように、埋め込んだP型領域3の上部のエピタキシャル層5中に、P型領域6を形成し、バイポーラトランジスタの分離領域が完成する。

【0005】図16は図15以降に形成されるバイポーラトランジスタの領域の断面図であり、バイポーラトランジスタどうしの分離の様子を示している。素子領域表面は酸化膜9により分離されている。コレクタ抵抗軽減のため埋め込みコレクタ領域に到達する深いN型領域7が形成される。バイポーラトランジスタのベースコンタクトとなる領域にイオン注入法を用いて選択的にP型領域8-1が形成される。また、イオン注入法を用い、このP型領域8-1に延在して低濃度かつ浅いP型領域8-2を形成しベース領域とする。このP型ベース領域表面にエミッタとしてのN型領域10が形成される。

【0006】ところで上記のような構成の製造方法では、エピタキシャル層5の成長時の温度が1000℃以上と高い。このために、高い不純物濃度で埋め込んだN⁺型領域2、P型領域3中の不純物がエピタキシャル層5の膜厚方向に拡散するとともに横方向にも拡散するため、埋め込み層(N⁺型領域2、P型領域3)各々を形成する際の距離L2(図13に示すオフセット距離)が、それぞれの埋め込み層の不純物の横方向拡散距離の和より短いと、図14に示すように互いに接することとなる。

【0007】実際には埋め込み層として、N⁺型領域2に用いている不純物よりP型領域3に用いている不純物の方が拡散しやすい。一般にP型領域3の不純物濃度は基板1の不純物濃度より高いために、埋め込み層どうしが接してしまうと、N⁺型領域2の接合容量は増大する。これはすなわちトランジスタのコレクタ/基板間容量の増大を意味する。

【0008】バイポーラトランジスタを高速で動作させるには、コレクタ/基板間容量の削減は重要であるため、埋め込み層であるN⁺型領域2とP型領域3それぞれの濃度はできるだけ低く抑えることが望ましい。その要求を満たす方法として、例えばP型領域3を形成する際、エピタキシャル成長の熱工程が入っても、N⁺型領域2と接しないように所定距離をとって形成する方法が考えられる。しかしながらこの方法をとると、かなり長いオフセット距離L2を取らなければならず、高集積化

には不利である。

【0009】また、横方向の拡散を抑える方法としてエピタキシャル成長時の温度を下げることも考えられるが、温度を下げるとエピタキシャル層5の品質が低下したり、成長速度が遅くなるため生産性が低下するという欠点がある。また、埋め込むべきP型領域3の不純物濃度を下げること考えられるが、P型領域3の不純物濃度と分離距離L3(図15に図示)は反比例の関係があるので、分離距離L3を増大させる方向になり高集積化が困難となる。いずれにしても上記のような素子分離の構成それに伴う方法では、低いコレクタ/基板間容量と短縮されたトランジスタ分離距離の両立は不可能であった。

【0010】また、このようなバイポーラトランジスタどうしの分離距離を縮める方法としては、4~6μm程度と非常に深いトレンチを用いて分離する方法もある。この方法によれば、トランジスタどうしは物理的に分離されるので、分離用として埋め込みのP型領域3を形成する必要はなくなる。この深いトレンチ素子分離技術は超高速のバイポーラトランジスタ集積回路で用いられている。

【0011】ところが、埋め込みのP型領域3を必要とせず、バイポーラトランジスタどうしを埋め込みのP型領域3が形成される位置より深いトレンチで分離するため、図13のL3で示す分離距離の短縮化と容量の低減を同時に実現できるが、プロセスが複雑であること、他の広い素子分離領域の形成では、浅いトレンチもしくはLOCOS法と併用する必要があること、等があり、結局工程数の増大を招き、高性能化を実現できる反面、製造コストが増大するという欠点があった。

【0012】

【発明が解決しようとする課題】このように従来では、工程数の増大や高い製造コストなしに、低いコレクタ/基板間容量と、短いトランジスタ分離距離が両立される構成は不可能であるという欠点があった。

【0013】この発明は上記のような事情を考慮してなされたものであり、その目的は、深いトレンチ素子分離などの複雑なプロセスを必要とせず、従来の素子分離方法を用いることができ、かつ、バイポーラトランジスタのコレクタ/基板間容量を増大させることなく、バイポーラトランジスタどうしの分離距離を縮められ、高性能なバイポーラトランジスタを安価に高集積化できる半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】この発明の半導体集積回路の素子分離構造は、第1導電型の半導体基板上において選択的に形成された素子領域に各対応する少なくとも2つの第2導電型の埋め込み不純物領域と、前記埋め込み不純物領域間においてこれら埋め込み不純物領域に接触することなく設けられた素子分離用としての前記半導

体基板より高濃度の第1導電型の埋め込み不純物領域と、少なくとも前記第2導電型の埋め込み不純物領域を含んで前記半導体基板上に形成された前記第2導電型の埋め込み不純物領域の濃度より低い不純物濃度の第2導電型のエピタキシャル層と、前記エピタキシャル層と同じ層に含まれた前記第1導電型の埋め込み不純物領域上の素子分離層とを具備したことを特徴とする。

【0015】この発明の半導体集積回路の素子分離方法は、第1導電型の半導体基板上において素子領域に各対応する少なくとも2つの第2導電型の埋め込み不純物領域を選択的に形成する工程と、前記第2導電型の不純物濃度より低い不純物濃度の第2導電型のエピタキシャル層を前記第2導電型の埋め込み不純物領域を含んで前記半導体基板上に成長する工程と、前記第2導電型の埋め込み不純物領域どうしを電気的に分離するために、前記エピタキシャル層の対応する表面からイオン注入法により前記基板中に前記半導体基板の不純物濃度より高い不純物濃度の第1導電型の埋め込み不純物領域を前記第2導電型の埋め込み不純物領域と離間して形成する工程と、前記第2導電型の埋め込み不純物領域上の前記素子領域間の分離工程とを具備し、前記第1導電型の埋め込み不純物領域は、製造工程終了までに必要な熱工程を経た後でも、前記第2導電型の埋め込み不純物領域の底面及び側面で接する第1導電型の不純物濃度が前記半導体基板の不純物濃度と同じであるように形成することを特徴とする。

【0016】この発明では、エピタキシャル層形成後に隣接する素子を電気的に分離する第1導電型の埋め込み不純物領域をイオン注入法を用いて形成する。この際、この第1導電型の埋め込み不純物領域は第2導電型の埋め込み不純物領域間で所定距離を離して形成する。エピタキシャル成長の高温の熱工程が入らないために、形成した第1導電型の埋め込み不純物領域の不純物拡散が抑えられ接合容量を増大させずにすむ。

【0017】

【発明の実施の形態】図1はこの発明の第1の実施形態に係る半導体集積回路の素子分離構造を示す断面図であり、浅いトレンチ素子分離を用いたバイポーラトランジスタ集積回路の素子分離構成である。P型の半導体基板1上にバイポーラトランジスタTR1、TR2の埋め込みコレクタ領域となるN⁺型領域2-1、2-2がそれぞれ形成されている。これらN⁺型領域2-1と2-2の間に素子分離用のP型領域3が形成されている。このP型領域3はこれらN⁺型領域2-1、2-2に接触することなく設けられており、N⁺型領域2-1、2-2の底面及び側面で接するP型の不純物濃度が半導体基板1の不純物濃度と同じになるように形成されている。

【0018】N⁺型領域2-1、2-2、P型領域3を含んで半導体基板1上にはN型のエピタキシャル層5が形成されている。このエピタキシャル層5が選択的に除去さ

れ、その除去された部分に酸化膜9が埋め込み形成され分離領域を形成している。

【0019】N⁺型領域2-1、2-2上のエピタキシャル層5内にバイポーラトランジスタのTR1、TR2それぞれについてベースコンタクトとなるP型領域8-1、このP型領域8-1に延在して低濃度かつ浅いP型領域8-2が形成され、ベース領域が形成されている。このP型のベース領域表面にエミッタとしてのN型領域10が形成されている。各N型領域7はコレクタ領域であり、コレクタ抵抗軽減のため、エピタキシャル層5にN型の不純物を、埋め込みコレクタのN⁺型領域2に到達するように導入して形成されている。P型領域3上部周辺の絶縁膜9は素子分離層としてP型領域3に接触し、バイポーラトランジスタTR1、TR2どうしを絶縁分離している。

【0020】次に、図1の構成の素子分離方法を以下、製造工程途中の断面図により説明する。まず、図2に示すように、例えば4~6Ω・cmのP型の半導体基板1上にバイポーラトランジスタの埋め込みコレクタ領域となるN⁺型領域2-1、2-2をSbの固層拡散等により選択的に形成する。その後、図3に示すように、0.1~1.0Ω・cmのN型エピタキシャル層5を0.5~1.5μm程度成長させる。この時のエピタキシャル成長条件は一般的に行われている条件なら何でも良く、特殊な条件は必要としないが、埋め込みのN⁺型領域2が横方向に拡散しにくい条件であればなお良い。

【0021】次に、図4に示すように、素子分離領域となる部分のエピタキシャル層5をフォトリソグラフィ技術により選択的に除去し、所望のトレンチを形成する。

その後、レジスト膜4を形成し、イオン注入法を用いて、バイポーラトランジスタ分離領域のみにP型領域3を選択的に形成する。この時の形成条件としては、例えばBを160keVの加速電圧で3×10¹³cm⁻²程度注入する。加速電圧と注入量は、N⁺型領域2-1、2-2の深さと領域2-1、2-2間の距離に応じて適宜決めれば良い。

【0022】また、P型領域3を形成する際に互いの隣接するN⁺型領域2-1、2-2からどれだけの距離を離すかについては、P型領域3形成後の熱工程により決まるが、トレンチ素子分離の場合、LOCOS（選択酸化）のような高温で長時間の熱工程を必要としないため、ほとんど横方向に拡散しない。例えば、従来のようにエピタキシャル層形成前に埋め込みのP型領域3を形成する場合はエピタキシャル成長時に1200℃で1時間程度、LOCOS形成時に1000℃で5~8時間程度の熱工程が入る。これに対し、この発明の方法でP型領域3を形成する場合は、1000℃で1時間程度しか熱工程が入らない。従って、横方向の不純物拡散は高々0.2μm程度でしかない。従って0.5μm程度離しておけばN⁺型領域2-1、2-2の周囲のP型不純物の濃度は

基板濃度と等しくなる。これにより容量の増大はない。

【0023】埋め込みのP型領域3を形成した後、図5に示すように、トレンチ内に絶縁膜として例えば酸化膜9をCVD法等によって埋め込む。その後、周知のバイポーラトランジスタ形成工程に従って、トランジスタ素子(TR1, TR2)を完成させる(図1)。

【0024】上記発明の構成及びそれに伴う方法を適用すれば、トランジスタ素子の分離距離の縮小とコレクタ／基板間容量の低減を同時に満たす構成が得られる。また、他の素子分離方法及び組み合わせることが必要な深いトレンチ素子分離技術を使うことなく達成できるので、低コストで製造できる。

【0025】図6はこの発明の第2の実施形態に係る半導体集積回路の素子分離構造を示す断面図であり、LOCOS素子分離法を用いたバイポーラトランジスタ集積回路の素子分離構成である。P型の半導体基板1上にバイポーラトランジスタTR1, TR2の埋め込みコレクタ領域となるN⁺型領域2-1, 2-2がそれぞれ形成されている。これらN⁺型領域2-1と2-2の間に素子分離用のP型領域3が形成されている。このP型領域3はこれらN⁺型領域2-1, 2-2に接触することなく設けられており、N⁺型領域2-1, 2-2の底面及び側面で接するP型の不純物濃度が半導体基板1の不純物濃度と同じように形成されている。

【0026】N⁺型領域2-1, 2-2、P型領域3を含んで半導体基板1上にはエピタキシャル層5が形成されている。このエピタキシャル層5表面に選択的に素子分離用の酸化膜9が形成されている。

【0027】N⁺型領域2-1, 2-2上のエピタキシャル層5内にバイポーラトランジスタのTR1, TR2それぞれについてベースコンタクトとなるP型領域8-1、このP型領域8-1に延在して低濃度かつ浅いP型領域8-2が形成され、ベース領域が形成されている。このP型のベース領域表面にエミッタとしてのN型領域10が形成されている。各N型領域7はコレクタ領域であり、コレクタ抵抗軽減のため、エピタキシャル層5にN型の不純物を、埋め込みコレクタのN⁺型領域2に到達するように導入して形成されている。P型領域3とその上部の酸化膜9との間はP型領域6が形成されており、これらは素子分離層として機能し、バイポーラトランジスタTR1, TR2どうしを電氣的に分離している。

【0028】次に、図6の構成の素子分離方法を図7の製造工程途中の断面図により説明する。エピタキシャル層3の形成までは、第1の実施形態における図3と何等変わらないため説明は省略する。LOCOS素子分離法を用いた集積回路に本発明を適用する場合、図7に示すように、P型領域3は、LOCOSによる酸化膜9の形成後にイオン注入法を用いて形成する。このときのイオン注入に関しては、酸化膜9とエピタキシャル層5の膜厚分だけ不純物を深く打つ必要があるために、加速電圧

としては1MeV程度が必要となる。また、LOCOS実施後は高温の熱工程が入らないため、図6のP型領域6を形成するためには、低い加速電圧でLOCOS酸化膜9の下にP型領域6を形成する必要がある(図6)。

【0029】上記発明の構成及びそれに伴う方法を適用すれば、第1の実施形態と同様に、トランジスタ素子の分離距離の縮小とコレクタ／基板間容量の低減を同時に満たす構成が得られ、製造コストも低くできる。

【0030】以上、本発明の実施形態をバイポーラトランジスタ集積回路を例にとり述べてきたが、バイポーラトランジスタとMOSトランジスタの混載集積回路、いわゆるBiCMOS集積回路におけるバイポーラトランジスタどうし及びMOSトランジスタとの分離にも用いることができるのはもちろんである。

【0031】図8はこの発明の第3の実施形態に係る半導体集積回路の素子分離構造を示す断面図であり、BiCMOS集積回路に適用した場合の素子分離構成である。この素子分離構成及びバイポーラトランジスタTR1は図1と同様である。

【0032】PチャネルMOSトランジスタの領域PMOSにおいて、P型の半導体基板1上に埋め込みのN⁺型領域2-3が形成されている。N⁺型領域2-3は図1のN⁺型領域2-2と同様に形成される。分離用の酸化膜9に囲まれたエピタキシャル層5の表面には、ゲート酸化膜91上のゲート電極11を隔ててソース・ドレイン領域としてのP型領域8-3が形成されている。この領域8-3は、例えばバイポーラトランジスタTR1におけるベースコンタクトP型領域8-1と同じ工程で形成される。

【0033】NチャネルMOSトランジスタの領域NMOSにおいて、分離用の酸化膜9に囲まれたエピタキシャル層5内はP型の不純物が導入されておりP型領域6となっている。P型領域6の表面には、ゲート酸化膜91上のゲート電極11を隔ててソース・ドレイン領域としてのN型領域12が形成される。

【0034】図9はこの発明の第4の実施形態に係る半導体集積回路の素子分離構造を示す断面図であり、図8に比べて、埋め込みのP型領域3が存在しているところが相違している。このP型領域3の形成は、N⁺型領域2-1と2-2の形成と同じく、エピタキシャル成長前に行われる。すなわち、この発明の特徴であるP型領域3の形成工程とは異なっていることを明示しておく。

【0035】上記図8、図9の実施形態によっても、この発明の素子分離構造及び分離方法が生かされ、埋め込まれた素子分離用のP型領域3は不純物拡散が抑えられ、隣接するN⁺型領域2-1, 2-3と接触せずに構成されるので、N⁺型領域2-1と2-3の距離を短くしつつ、接合容量を増大させずにすむ。製造コストも安価で高集積、高性能の集積回路が得られる。

【0036】なお、上記各実施形態におけるN⁺型領域2-1, 2-2に関しても、エピタキシャル層5の成長後に

イオン注入によって選択形成することも可能である。その例を図 10～図 12 に示す。図 10 に示すように、P 型の半導体基板 1 上に N 型エピタキシャル層 5 を成長させ、その上に保護膜、例えば酸化膜 92 を形成する。その後、図 11 に示すように、レジスト膜 41 を素子分離領域の予定領域以外に形成し、イオン注入法を用いて、バイポーラトランジスタ分離領域のみに P 型領域 3 を選択的に形成する。この時の形成条件としては、酸化膜 92 とエピタキシャル層 5 の膜厚分だけ不純物を深く打つ必要があるために、加速電圧としては 1 MeV 程度が必要となる。続いて、図 12 に示すように、レジスト膜 42 を埋め込み層としての N^+ 型領域 2-1、2-2 の予定領域以外に形成し、イオン注入法を用いて、 N^+ 型領域 2-1、2-2 を選択的に形成する。この時も、酸化膜 91 とエピタキシャル層 5 の膜厚分だけ不純物を深く打つ必要があるために、1 MeV 程度の加速電圧が必要となる。

【0037】上記構成の方法は N^+ 型領域 2-1、2-2 を先に、P 型領域 3 を後に形成する順序を採用しても差し支えない。いずれにしても、お互い埋め込んだ領域がその後の熱工程を経ても接触しないように考慮してレジスト膜 41、42 を形成しなければならない。

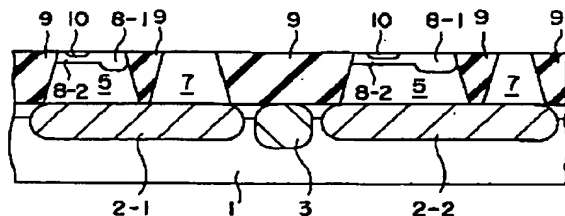
【0038】

【発明の効果】以上説明したようにこの発明により、他の素子分離方法と組み合わせることが必要な深いトレンチ素子分離技術を使うことなく、コレクタ／基板間の接合容量を増大させずにトランジスタどうしの分離距離を縮小することができる。これにより、高集積、高性能で安価なバイポーラトランジスタ集積回路や、BiCMOS 集積回路が得られる半導体集積回路の素子分離構造及び素子分離方法が提供できる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態に係る半導体集積回路の素子分離構造を示す断面図。

【図 1】



【図 2】図 1 の構成の素子分離方法を説明するための製造工程途中の第 1 の断面図。

【図 3】図 1 の構成の素子分離方法を説明するための製造工程途中の第 2 の断面図。

【図 4】図 1 の構成の素子分離方法を説明するための製造工程途中の第 3 の断面図。

【図 5】図 1 の構成の素子分離方法を説明するための製造工程途中の第 4 の断面図。

【図 6】この発明の第 2 の実施形態に係る半導体集積回路の素子分離構造を示す断面図。

【図 7】図 6 の構成の素子分離方法を説明するための製造工程途中の断面図。

【図 8】この発明の第 3 の実施形態に係る半導体集積回路の素子分離構造を示す断面図。

【図 9】この発明の第 4 の実施形態に係る半導体集積回路の素子分離構造を示す断面図。

【図 10】この発明の各実施形態に係る素子分離方法の応用例を説明するための製造工程途中の第 1 の断面図。

【図 11】図 10 に続く製造工程途中の第 2 の断面図。

【図 12】図 10 に続く製造工程途中の第 3 の断面図。

【図 13】従来の素子分離構造を説明するためのバイポーラトランジスタ集積回路製造工程途中の第 1 の断面図。

【図 14】図 13 に続く製造工程途中の第 2 の断面図。

【図 15】図 13 に続く製造工程途中の第 3 の断面図。

【図 16】図 15 以降の工程で形成されるバイポーラトランジスタ領域の断面図であり、バイポーラトランジスタどうしの分離構造を示す断面図。

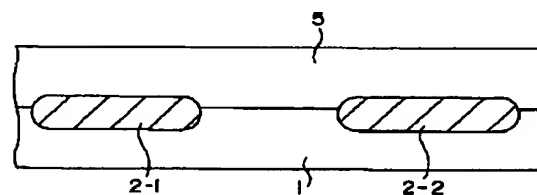
【符号の説明】

30 1 …半導体基板、2-1、2-2、2-3 … N^+ 型領域、7、10、12…N 型領域、3、6、8-1、8-2、8-3、31…P 型領域、4 …レジスト膜、5 …エピタキシャル層、9 …酸化膜、11…ゲート電極、91…ゲート酸化膜

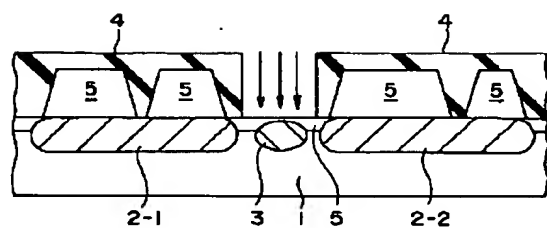
【図 2】



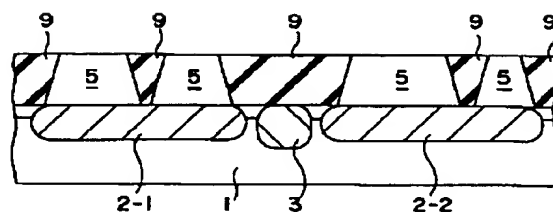
【図 3】



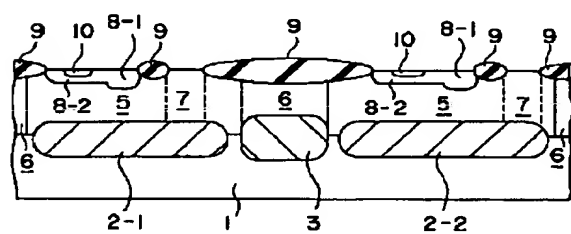
【図4】



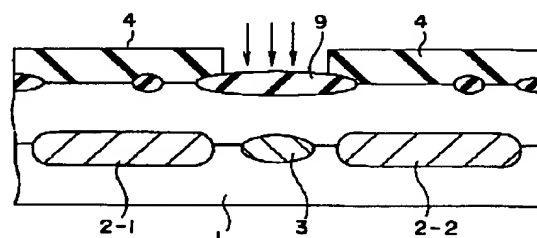
【図5】



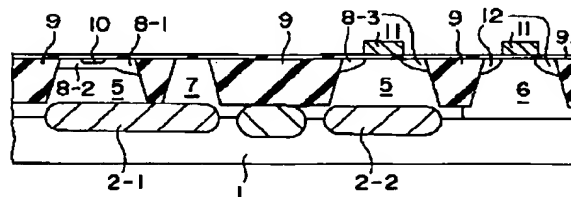
【図6】



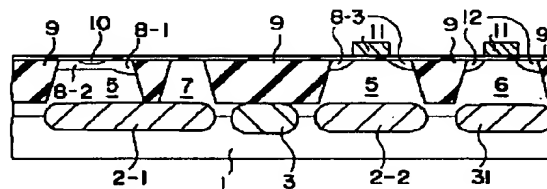
【図7】



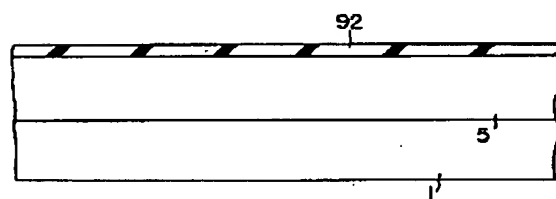
【図8】



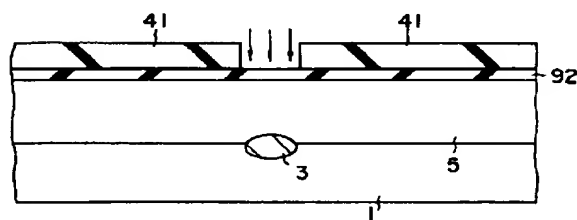
【図9】



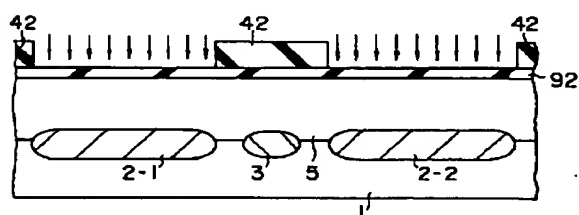
【図10】



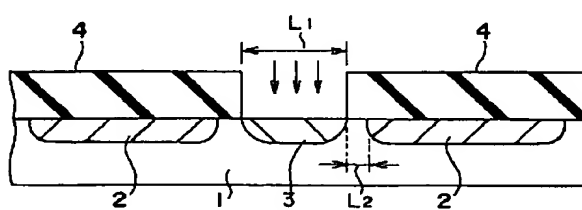
【図11】



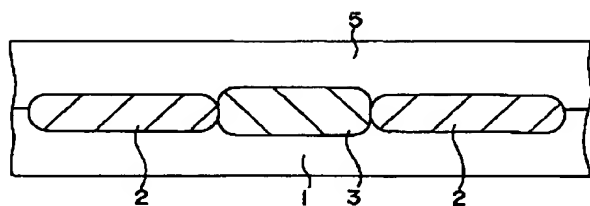
【図12】



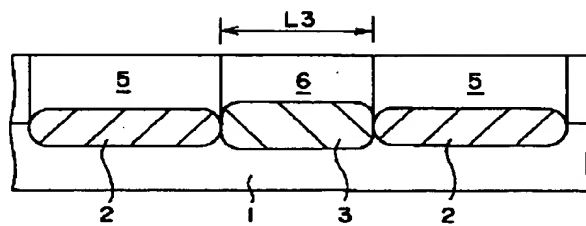
【図13】



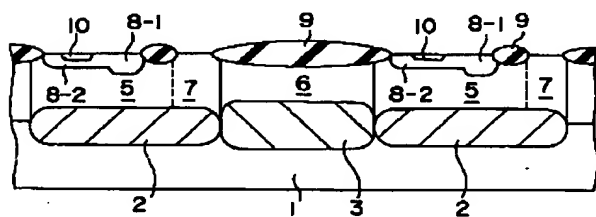
【図14】



【図15】



【図16】



フロントページの続き

(51) Int. Cl. ⁶
H 0 1 L 29/73

識別記号 庁内整理番号

F I
H 0 1 L 29/72

技術表示箇所